Trabalho Final de Concepção de Circuitos Integrados

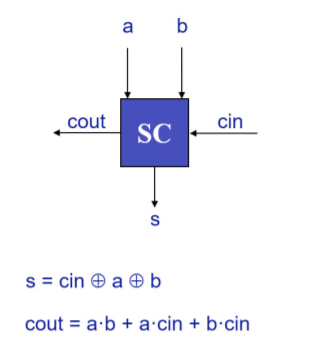
Mateus Brugnaroto, Vinícius Renato Rocha Geraldo

*{mbrugnaroto, vrrgeraldo}@inf.ufpel.edu.br}*

***Resumo:*** *O trabalho a ser descrito é um somador de 1-bit desenvolvido em nível de síntese lógica e física. Foi projetado o circuito em layout e assim extraído o SPICE da célula para análise dos resultados. Na simulação lógica do circuito é analisado os resultados do somador completo.*

1- Introdução

Esse trabalho envolve o desenvolvimento de um somador completo de 1 bit conforme a Figura 1. Cada equação foi implementada separadamente e assim instanciada e roteados em uma única célula. A tecnologia adotada para implementação é AMS 0.35µm.



*Figura 1 – Somador Completo de 1 bit*

A ferramenta utilizada para fazer o desenho do *layout* é a L-Edit, onde foi implementada todas as portas básicas (NAND, NOR, AND, OR, XOR)

2- Metodologia

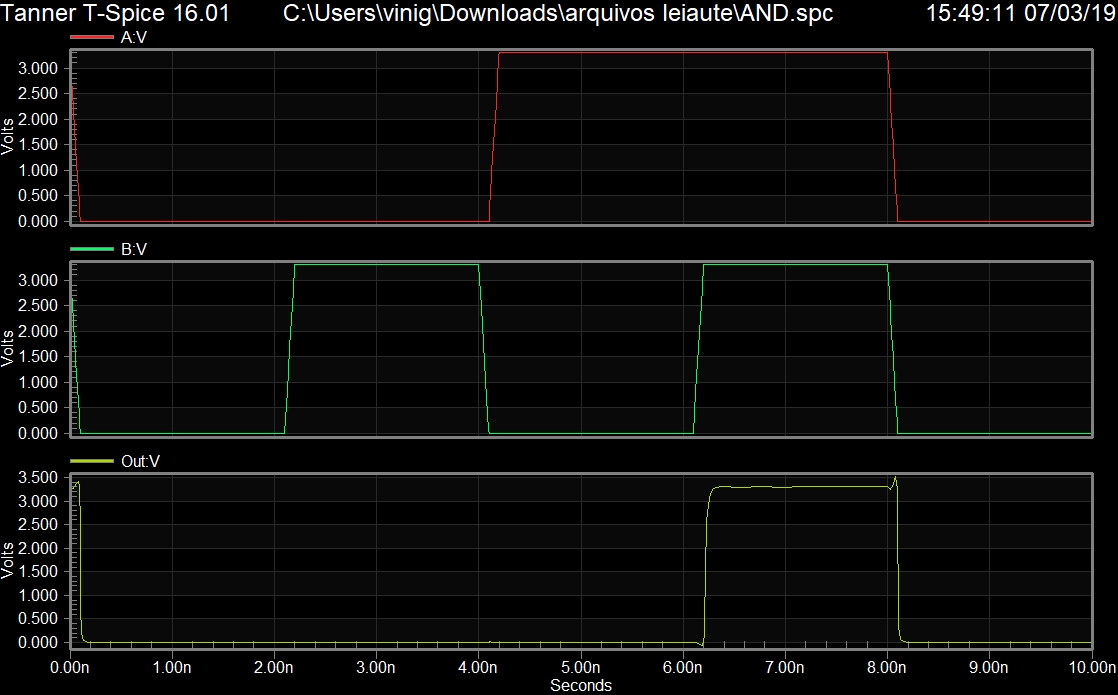
Utilizamos o primeiro trabalho como referência para o tamanho dos transistores e para o desenvolvimento do trabalho de extração de circuito em layout. Para os transistores o *length* (L) utilizado foi de 0,3µm. O tamanho (W) dos transistores foi estimado da seguinte maneira:

*w =*

Onde o *nserie* equivale ao número de elementos em série no plano e Wmin, largura mínima do canal, foi utilizado um tamanho de 1,2µm. Transistores PMOS devem ser maiores que os NMOS. Dessa forma, o parâmetro λ foi definido como 2, representando o dobro do tamanho de NMOS.

2.1- NAND e AND

As simulações das portas básicas podem ser vistas nas Figura 2 e Figura 3, onde foi desenvolvido o layout de cada porta e testado o valor lógico no T-Spice. O layout das portas segue na Figura 4 e Figura 5.



*Figura 2 – Simulação AND*



*Figura 3 – Simulação NAND*

[Capture a atenção do leitor com uma ótima citação do documento ou use este espaço para enfatizar um ponto-chave. Para colocar essa caixa de texto em qualquer lugar na página, basta arrastá-la.]

Abaixo se encontra a tabela de atrasos das portas NAND e AND

|  |  |  |
| --- | --- | --- |
| Medidas | NAND | AND |
| pHL | 13.4438ps | 54.4897ps |
| pLH | 18.7625ps | 68.7023ps |
| tR | 25.4475ps | 23.6744ps |
| tF | 13.8580ps | 6.5068ps |

2.2 – NOR e OR

As simulações das portas básicas podem ser vistas nas Figura 6 e Figura 7, onde foi desenvolvido o layout de cada porta e testado o valor lógico no T-Spice. O layout das portas segue na Figura 8 e Figura 9.



*Figura 7 – Simulação OR*



*Figura 6 – Simulação NOR*

[Capture a atenção do leitor com uma ótima citação do documento ou use este espaço para enfatizar um ponto-chave. Para colocar essa caixa de texto em qualquer lugar na página, basta arrastá-la.]

[Capture a atenção do leitor com uma ótima citação do documento ou use este espaço para enfatizar um ponto-chave. Para colocar essa caixa de texto em qualquer lugar na página, basta arrastá-la.]

Abaixo se encontra a tabela de atrasos das portas NOR e OR

|  |  |  |
| --- | --- | --- |
| Medidas | NOR | OR |
| pHL | 26.1622ps | 153.9259ps |
| pLH | 32.9714ps | 68.7023ps |
| tR | 56.2355ps | 23.5921ps |
| tF | 9.9868ps | 18.1549ps |

2.3 – XOR

As simulações das portas básicas podem ser vistas nas Figura 10, onde foi desenvolvido o layout de cada porta e testado o valor lógico no T-Spice. O layout das portas segue na Figura 11.

[Capture a atenção do leitor com uma ótima citação do documento ou use este espaço para enfatizar um ponto-chave. Para colocar essa caixa de texto em qualquer lugar na página, basta arrastá-la.]



*Figura 10 – Simulação XOR*

Abaixo se encontra a tabela de atrasos da porta XOR

|  |  |
| --- | --- |
| Medidas | NOR |
| pHL | 238.1723ps |
| pLH | 187.4058ps |
| tR | 26.8463ps |
| tF | 13.0757ps |

3 – Somador Completo

No desenvolvimento final do projeto realizado foi a implementação de um somador de 1 bit. Nisso utilizamos como base nosso primeiro trabalho desenvolvido em SPICE da disciplina para dimensionamento dos transistores e como base do circuito final.

As portas básicas foram utilizadas para o desenho final do circuito onde pegamos o esquemático abaixo para descrição do projeto.

